

## 1 描述

VMLD502 是一个理想的双端口、CLASS H、电流反馈型线路驱动放大器，适用于xDSL系统，在超高比特率的VDSL2系统中，频宽8.5MHz的条件下可实现15.4dbm的线路放大，并保持优异的线性度，所以该器件完全可支持G.993.2中8b传输模板。同时，其超高速的传输性能，可应用于局端传输系统，在30MHz的带宽中具备15.7dbm的线路放大能力。

该器件独特的设计结构，使其拥有极小的静态电流的同时，仍然可以实现非常优良的线性度和差分失真率。在全偏置条件下，1 MHz差分谐波失真(10Vpp)可达 -70 dBc；5 MHz工作频率下(10Vpp)，差分谐波失真仅为 -60 dBc。

VMLD502 可提供多种电流偏置模式，使其在不需要发挥放大器全部性能时，最大限度的节约电源功耗。在不同的传输模板应用环境中，可通过数字调节的方式实现静态电流调节，调节范围为9.5mA至47mA，调节步进低至0.9mA，保证了产品在使用中的灵活性。

采用14V供电时，该驱动器优良的电流驱动能力和宽输出电压摆幅，为放大器提供了良好的动态范围，从而使得输出具备极小的失真率。

支持封装形式：QFN-32封装。

## 2 特性

- 低静态电流 (支持数字可调):  
9.5mA ~ 47 mA;
- 最小偏置电流调节步进: 0.9mA
- 具备低功耗线路终端模式
- 低谐波失真1 MHz (10Vpp, 100Ω差分负载):  
HD2: -72 dBc  
HD3: -70 dBc
- 高输出电流: ±230mA
- 宽输出摆幅:  
13Vpeak (+14V/100Ω差分负载, 搭配1: 1.25输出巴伦)
- 高工作带宽: 50MHz (-3dB)
- 支持CLASS H模式

## 3 应用

- VDSL2 传输系统
- 兼容ADSL, ADSL2+以及ADSL2++系统

## 4 引脚信息

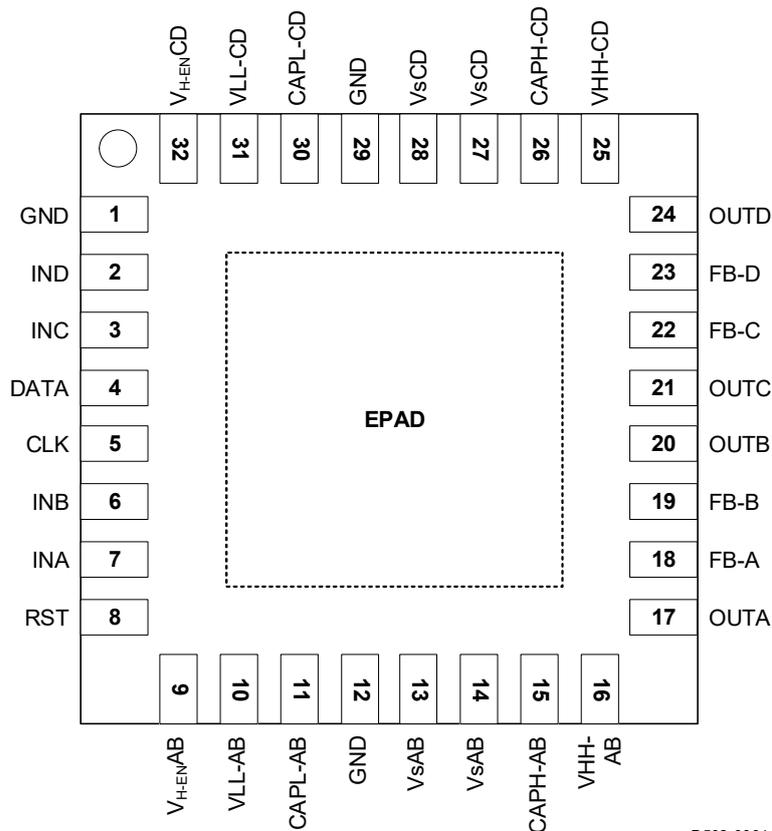


图4.1 VMLD502管脚信息

表4.1 VMLD502引脚定义

引脚序号	引脚名称	引脚描述
1、12、29	GND	模拟地
2	IN-D	放大器CD的负输入端
3	IN-C	放大器CD的正输入端
4	DATA	串口数据
5	CLK	串口时钟
6	IN-B	放大器AB的负输入端
7	IN-A	放大器AB的正输入端
8	RESET	内部寄存器复位脚，00h（启动条件）
9	VH-ENAB	放大器AB，ClassH模式控制脚
10	VLL-AB	放大器AB低压泵供给脚
11	CAPL-AB	放大器AB外部电容负电荷泵供给脚
13、14	VS-AB	AB放大器电源引脚
15	CAPH-AB	放大器AB外部电容正电荷泵供给脚
16	VHH-AB	ClassAB高压泵供给脚
17	OUTA	放大器AB输出脚
18	FB-A	放大器AB输出输出反馈
19	FB-B	放大器AB输出输出反馈

20	OUTB	放大器AB输出脚
21	OUTC	放大器CD输出脚
22	FB-C	放大器CD输出输出反馈
23	FB-D	放大器CD输出输出反馈
24	OUTD	放大器CD输出脚
25	VHH-CD	ClassCD高压泵供给脚
26	CAPH-CD	放大器CD外部电容正电荷泵供给脚
27、28	VS-CD	CD放大器电源引脚
30	CAPL-CD	放大器CD外部电容负电荷泵供给脚
31	VLL-CD	放大器CD低压泵供给脚
32	VH-ENCD	放大器CD, ClassH模式控制脚

## 5 电气特性

测试条件:  $T_A = 25^\circ\text{C}$  时,  $V_{S+}=14\text{V}$ ,  $R_{\text{MATCH}}=6.4\Omega$ , 满偏置,  $R_L=100\Omega$ 差分负载; 有源阻抗电路配置; 变压器输出(变压器匝数比1: 1.25); 除非另有注明, 每个端口都是独立测试的。

**表5.1 VMLD502电气特性**

参数	测试条件	最小值	典型值	最大值	单位	
工作电压	ClassAB, $T_A = 25^\circ\text{C}$	10	14	16	V	
	$T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$	10		16	V	
静态电流	全部端口满偏置, $V_{\text{HEN}}=0$ , $T_A = 25^\circ\text{C}$		84	86	mA	
	$T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$			88	mA	
	全部端口低偏置, $V_{\text{HEN}}=0$ ; $T_A = 25^\circ\text{C}$		42	44	mA	
	$T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$			46	mA	
	主放大器关闭; 和 $V_{\text{HEN}}=0$ ( $B_9 = B_8 = B_7 = B_6 = 0$ )		6	8	mA	
	$T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$			9	mA	
	偏置电流调节步进	1.0	1.25	2.5	mA	
控制逻辑阈值	逻辑 1, 相对于 GND	2	3		V	
	逻辑 0, 相对于 GND		0	0.7		
<b>交流特性</b>						
参数	测试条件	最小值	典型值	最大值	单位	
SSBW	小信号带宽, - 3dB	Gain = 11.6V/V, $V_O = 2\text{VPP}$ ; OUTAB和OUTCD差分输出	40	50	60	MHz
LSBW	大信号带宽	Gain = 11.6V/V, $V_O = 7.5\text{VPP}$ ; OUTAB/OUTCD差分输出	36	45	55	MHz
HD2	二阶谐波失真	Bias=15, $f=1\text{MHz}$ , $V_O = 10\text{VPP}$	-70	-73		
		Bias=15, $f=5\text{MHz}$ , $V_O = 10\text{VPP}$	-60	-66		

		Bias=0, f=1MHz, VO=10VPP	-70	-73		
HD3	三阶谐波失真	Bias=15, f=1MHz, VO=10VPP	-70	-72		
		Bias=15, f=5MHz, VO=10VPP	-70	-72		
		Bias=0, f=1MHz, VO=10VPP	-69	-71		
输入失调电压	T <sub>A</sub> =25℃			±1.29	±10	mV

## 6 极限参数

**表6.1 VMLD502极限参数**

极限参数	绝对极限值	
存储温度(T <sub>A</sub> )	-65℃ ≤ T <sub>A</sub> ≤ 150℃	
最大结温(T <sub>J</sub> )	-40℃ ≤ T <sub>J</sub> ≤ 130℃	
V <sub>S</sub> 最大电源电压	V <sub>S</sub> : 17V	
	VH-EN: 5V	
静电放电(ESD)等级	人体模型HBM	2000V
	机器模型MM	100V
	设备放电模型CDM	500V

注意：芯片底面的 EPAD 作为一个散热器，必须保证充分的焊接以达到良好的散热性能(推荐 EPAD 表面积与 PCB 之间达到 80%以上的焊接比例)。

## 7 热特性

**表7.1 VMLD502 热特性**

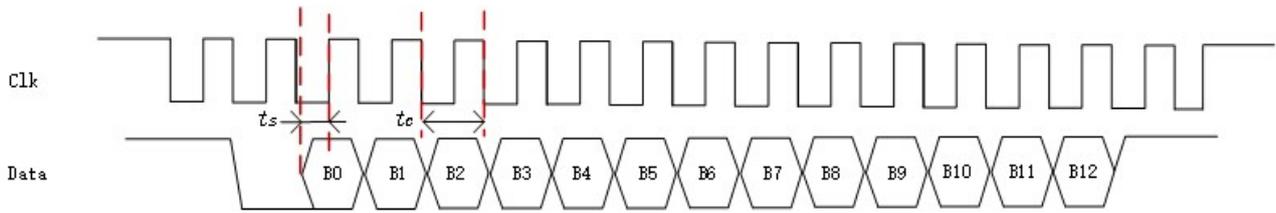
温度参数	典型值	单位
R <sub>eJA</sub> 结至环境热阻	36	℃/W
R <sub>eJC(top)</sub> 结至芯片上表面热阻	14	℃/W
R <sub>eJB(bot)</sub> 结至芯片底部热阻	12	℃/W

表7.1给出的热阻数据，测试板PCB为四层板，TOP及BOTTOM电气层铜皮厚度为2盎司，内层铜皮厚度为1盎司，电路板总厚度为1.6mm，PCB尺寸为76×115mm(宽×长)，测试环境温度为25℃，空气流速基本可忽略。

PCB的叠层结构，铜皮厚度，器件热焊盘及器件附近过孔数量及过孔孔径对热特性有一定的影响，在应用中应基于实际应用做评估。

## 8 通讯接口

VMLD502通过串行接口来实现编程和配置的，接口时序图如图8.1所示：



D502-0002

图8.1 VMLD502 寄存器配置时序

串行接口时序要求，如表8.1给出。

表8.1 时序要求

参数	描述	Min	TYP	MAX	UNITS
$t_{setup}$	建立时间	10			ns
$t_{cl}$	时钟周期	50	200		ns

各数据位功能描述如下：

- 前两个时钟为起始bit：10
- 数据终止时，对应数据位为高
- B0: Channel AB select
- B1: Channel CD select
- B2: PDN1
- B3: PDN2
- B4: W/RN：1为数据写入，0为数据读取。如果数据需要读取，芯片DATA 管脚需加上拉1K电阻。只写入数据可以不加电阻
- B5: Addr: 分为0号寄存器和1号寄存器
- B[6:11]: Data[5:0]
- B12: Parity

## 9 寄存器分配

芯片通过串行接口 (Pin4及Pin5) 来进行寄存器配置，根据内部的状态机可实现串行数据接口软复位功能。当接口至少连续接收到13个“1”的数据时，I<sup>2</sup>C返回到复位状态，但是所有的寄存器配置的值会保持不变。

### 9.1 寄存器功能

表9.1 SDATA功能信息

寄存器位	功能说明
B0	通道 AB 选择
B1	通道 CD 选择
B2, B3	功耗模式
B4	读写控制位
B5	寄存器地址位
B6~B11	数据位
B12	数据校验位

### 9.2 校验位

表9.2 校验位控制信息

B12	奇数校验位
1	如果高电平的数量 B0 至 B11 是奇数，则将 B12 置 1
0	如果高电平的数量 B0 至 B11 是偶数，则将 B12 置 0

### 9.3 静态电流寄存器配置信息

VMLD502主要有两个功率消耗模块，分别是CLASS AB放大器和电荷泵，通过B2和B3来进行四种功耗模式的选择：

- 仅CLASS AB模式(电荷泵关闭)
- CLASS H模式(电荷泵打开)
- 器件关断模式
- 保留

表9.3 功耗模式

B2 (PD1)	B3 (PD2)	功耗模式
0	0	掉电模式
0	1	保留位
1	0	ClassH 关断
1	1	ClassH 打开

### 9.4 通道选择寄存器配置信息

每个通道可以独立配置，若B0和B1同时为1，则两个通道同时打开。

**表9.4 通道选择配置信息**

B0 (通道AB)	B1(通道CD)	通道选择
0	0	忽略B4至B9位
0	1	B4至B9配置通道B
1	0	B4至B9配置通道A
1	1	B4至B9配置通道A、B

### 9.5 寄存器0号、1号控制位设置

B5: Addr: 分为0号寄存器和1号寄存器。每个通道对应6位寄存器来进行地址选择以及电源类型设置。

**表9.5 寄存器地址选择及电压类型设置**

B5	B6	B7	B8	B9	B10	B11
0	静态功耗配置				0:梯形波classH 1:跟随型classH	0:输出共模正向偏移 1:输出共模为电源电压一半
1	负向boost驱动增强 1:enable 0:disable	梯形波幅度配置 00: 幅度3.5V 01: 幅度2.7V 10: 幅度3V 11: 幅度2.3V		输出共模控制环路静态 电流控制 B9=1, 增加10% B10=1, 增加5%		跟随型charge pump增益配置 0:增益增加30% 1:增益不变

### 9.6 ClassAB静态电流寄存器配置信息

**表9.6 放大器 CLASS AB静态电流配置信息**

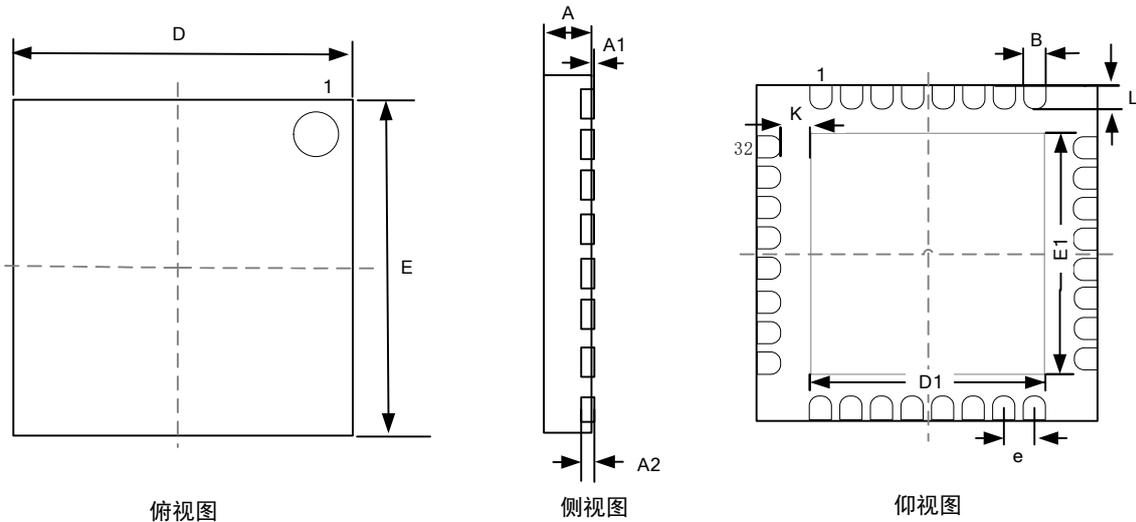
BIAS	B6 (D3)	B7 (D2)	B8 (D1)	B9 (D0)	B10	B11	I <sub>q</sub> 近似值 (mA)
0	0	0	0	0	0	1	20.00
1	0	0	0	1	0	1	21.25
2	0	0	1	0	0	1	22.50
3	0	0	1	1	0	1	23.75
4	0	1	0	0	0	1	25.00
5	0	1	0	1	0	1	26.25
6	0	1	1	0	0	1	27.50
7	0	1	1	1	0	1	28.75
8	1	0	0	0	0	1	30.00
9	1	0	0	1	0	1	31.25
10	1	0	1	0	0	1	33.00
11	1	0	1	1	0	1	34.25
12	1	1	0	0	0	1	36.50
13	1	1	0	1	0	1	37.75
14	1	1	1	0	0	1	39.50
15	1	1	1	1	0	1	40.75

## 10 订货信息

**表10.1 VMLD502订购指南**

商业编码	封装	订货号	包装形式	工作温度范围
VMLD502	QFN32	VMLD5020000QN32R00	3000pcs (卷带)	-40~125℃

## 11 封装信息



D502-0003

**图11.1 VMLD502 QFN32 5×5mm封装尺寸图**
**表11.1 VMLD502 QFN32 5×5mm 封装尺寸参数 (单位: mm)**

尺寸 标注	最小	标准	最大	尺寸 标注	最小	标准	最大
A	0.8	0.85	0.90	D1	3.40	3.50	3.60
A1	--	0.02	0.05	E1	3.40	3.50	3.60
A2	0.20 REF			e	0.5 BSC		
B	0.18	0.25	0.30	K	0.20	--	--
D	4.90	5.00	5.10	L	0.30	0.4	0.50
E	4.90	5.00	5.10				

## 12 附录

### 12.1 功耗配置以及MTPR

表 12.1 功耗以及MTPR

\*静态电流和工作电流均不包括每通道约3mA的关断(shutdown)电流

模式	功耗配置 (D3D2D1D0)	静态电流* (mA)	工作电流* (mA)	MTPR 最小值 (dB)	MTPR 典型值 (dB)	寄存器#0 (B6到B11)	寄存器#1 (B6到B11)
35b	1111	42	54	53	55	111111	100000
	1110	41	53	53	55	111011	100000
	1101	39	51	52	54	110111	100000
	1100	38	50	52	54	110011	100000
17a	1011	36	50	58	60	101111	100000
	1010	34	49	58	60	101011	100000
	1001	33	48	58	60	100111	100000
	1000	32	47	58	60	100011	100000
8b	0111	30	46	60	62	011111	100000
	0110	29	45	61	63	011011	100000
	0101	27	44	60	62	010111	100000
	0100	26	43	60	62	010011	100000
	0011	25	42	60	62	001111	100000
8ad	0010	23	49	61	63	001011	100000
	0001	22	48	61	63	000111	100000
	0000	21	47	60	62	000011	100000

### 12.2 最大发送功率以及隔离度

表12.2 最大发送功率以及隔离度

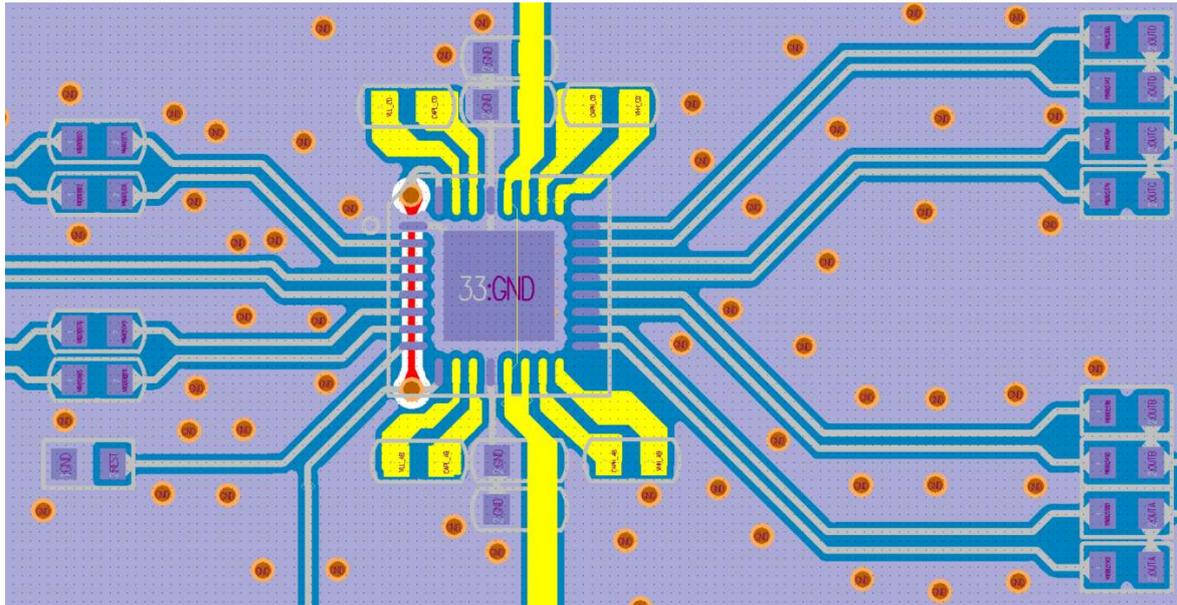
模式	Channel	最大发送功率(dBm)	隔离度(dB)
35b	AB	15.9	53.0
	CD	15.5	54.0
17a	AB	15.0	57.8
	CD	14.9	57.7
8b	AB	15.3	61.7
	CD	15.5	61.3
8ad	AB	17.1	64.8
	CD	17.0	63.7

## 13 PCB设计注意事项

如图 13.1 VMLD502 典型PCB布局所示，VHH、CAPH、VLL、CAPL 8个管脚在PCB设计时需要严格控制其走线电感，推荐走线电感小于1nH，所以尽量遵循短而粗的原则，同时电荷泵电容应尽量靠近器件管脚以减少EMI。

AVCC网络，退耦电容推荐使用一颗10uF加一颗100nF瓷片电容组合的方式，并靠近器件放置，走线时遵循短而粗的原则，推荐走线电感小于1.5nH。

如图中黄色高亮显示的网络，给出典型示意图。



D502-0004

图13.1 VMLD502 典型PCB布局示意图